

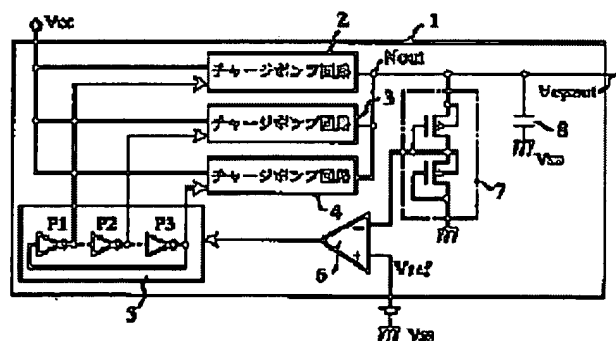
SEMICONDUCTOR DEVICE AND MICROCOMPUTER

Patent number: JP2000331489
Publication date: 2000-11-30
Inventor: TANAKA TOSHIHIRO; SHINAGAWA YUTAKA;
SUZUKAWA KAZUFUMI; FUJITO MASAMICHI; KAWAI
YOZO
Applicant: HITACHI LTD;; HITACHI ULSI SYSTEMS CO LTD
Classification:
- **International:** G11C16/06; G05F1/56
- **European:**
Application number: JP19990136587 19990518
Priority number(s):

Abstract of JP2000331489

PROBLEM TO BE SOLVED: To reduce ripple of boosting voltage without increasing a layout area of a boosting power source circuit by controlling clock supply operation based on boosting voltage of plural charge pump circuits to which clock signals of which phases are different respectively are supplied.

SOLUTION: Plural charge pump circuits 2, 3, 4 inputs power source voltage V_{cc} synchronizing with clock signals P1, P2, P3 respectively, performs boosting operation, and outputs it to a common connection node Nout. A ring oscillator 5 supplies clock signals P1, P2, P3 having different phases respectively to the plural charge pump circuits 2, 3, 4. Also, a resistor voltage dividing circuit 7 and a comparing circuit 6 constitute a control circuit controlling operation in which clock signals P1, P2, P3 are supplied to the plural charge pump circuits 2, 3, 4 from the ring oscillator 5 based on boosting voltage formed by plural charge pump circuits 2, 3, 4.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-331489
(P2000-331489A)

(43)公開日 平成12年11月30日(2000. 11. 30)

(51)Int.Cl.⁷

識別記号

F I

テ-マ-ト*(参考)

G 1 1 C 16/06

G 1 1 C 17/00

6 3 2 A 5 B 0 2 5

G 0 5 F 1/56

3 1 0

G 0 5 F 1/56

3 1 0 H 5 H 4 3 0

3 1 0 Q

審査請求 未請求 請求項の数12 O L (全 14 頁)

(21)出願番号 特願平11-136587

(22)出願日 平成11年5月18日(1999. 5. 18)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72)発明者 田中 利広

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74)代理人 100089071

弁理士 玉村 静世

最終頁に続く

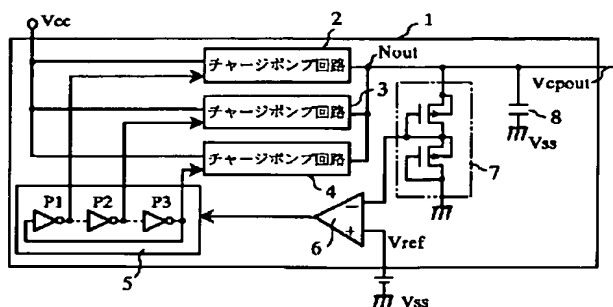
(54)【発明の名称】 半導体装置及びマイクロコンピュータ

(57)【要約】

【課題】 昇圧電圧のリップルを低減する。

【解決手段】 昇圧電源回路は、夫々クロック信号に同期して昇圧動作を行ない出力ノードが共通接続された複数のチャージポンプ回路と、複数のチャージポンプ回路に夫々位相の異なるクロック信号を供給するクロック供給回路と、チャージポンプ回路が形成する昇圧電圧に基づいてクロック供給回路からチャージポンプ回路へのクロック供給動作を制御する制御回路とを有する。複数のチャージポンプ回路が位相の異なるクロック信号に同期して昇圧動作を行なうので、昇圧電源回路全体として1つのクロック信号の1周期に可能な昇圧動作回数はチャージポンプ回路の並列数倍となり、1個のチャージポンプ回路の昇圧能力は、チャージポンプ回路を1個しかしか持たない昇圧電源回路に比べて、前記並列数分の1で済み、昇圧動作を開始したときのリップルを緩和できる。

図1



1

【特許請求の範囲】

【請求項 1】 入力電源電圧を昇圧するための昇圧電源回路を半導体チップに含み、前記昇圧電源回路は、夫々クロック信号に同期して昇圧動作を行ない出力ノードが共通接続された複数のチャージポンプ回路と、前記複数のチャージポンプ回路に夫々位相の異なるクロック信号を供給するクロック供給回路と、前記チャージポンプ回路が形成する昇圧電圧に基づいてクロック供給回路からチャージポンプ回路へのクロック供給動作を制御する制御回路と、を含んで成るものであることを特徴とする半導体装置。

【請求項 2】 前記クロック供給回路は、発振ループに複数の遅延段が配置されたリングオシレータを有し、異なる遅延段から夫々位相の異なるクロック信号を出力可能であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記チャージポンプ回路は、夫々ダイオード接続された複数の MOS トランジスタの直列回路と、前記 MOS トランジスタの接続点に一端が結合されたポンプ容量素子とを有し、前記ポンプ容量素子の他端には隣合う MOS トランジスタのオン動作期間を相異させるように変化する内部クロック信号が供給されるものであることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 前記ポンプ容量素子とは別の容量素子であって前記 MOS トランジスタのゲート電圧をブーストする第 2 のポンプ容量素子を更に有し、前記第 2 のポンプ容量素子には前記内部クロック信号とは相違されるクロック信号であって隣合う前記第 2 のポンプ容量素子のブースト動作を相違させるように変化する第 2 の内部クロック信号が供給され、前記内部クロック信号及び前記第 2 の内部クロック信号は相互に位相の相違される 4 相のクロック信号であることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記制御回路は、前記昇圧電圧の分圧電圧と基準電圧とを比較する比較回路を有し、前記比較回路の比較結果を用いて前記クロック供給回路から前記チャージポンプ回路へのクロック信号の供給と供給停止とを制御して昇圧電圧を所定レベルに維持させるものであることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 6】 前記昇圧電圧の分圧電圧を得る回路は複数の MOS トランジスタを直列抵抗として使用するものであることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 前記チャージポンプ回路へのクロック信号の供給停止にตอบสนองして、前記共通出力ノードからチャージポンプ回路への電流の逆流を阻止する第 1 の逆流防止手段を含むことを特徴とする請求項 5 又は 6 記載の半導体装置。

【請求項 8】 前記チャージポンプ回路へのクロック信号の供給停止にตอบสนองして、前記チャージポンプ回路から

2

電源電圧への電流の逆流を阻止する第 2 の逆流防止手段を含むことを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 マトリクス配置された複数のメモリセルと、前記メモリセルの選択端子に結合された複数のワード線と、ワード線を選択する選択回路とを更に含み、前記選択回路は、前記昇圧電源回路の昇圧電圧をワード線の選択レベルに用いるものであることを特徴とする請求項 1 又は 2 記載の半導体装置。

10 【請求項 10】 前記メモリセルは電氣的に書き換え可能な不揮発性メモリセルであることを特徴とする請求項 9 記載の半導体装置。

【請求項 11】 命令を実行して前記メモリセルをアクセス可能な中央処理装置を更に含んで成るものであることを特徴とする請求項 9 又は 10 記載の半導体装置。

【請求項 12】 命令を実行する中央処理装置と、電氣的に書き換え可能な不揮発性メモリと、前記不揮発性メモリと中央処理装置とを接続するバスとを含み、前記不揮発性メモリは、電氣的に消去・書き込み可能な不揮発性メモリセルをマトリクス配置したメモリセルアレイと、外部からの指示にตอบสนองしてメモリセルに対する読み出し動作及び電氣的な消去・書き込み動作を行なうメモリ制御回路と、前記読み出し動作及び前記消去・書き込み動作に用いる昇圧電圧を生成する昇圧電源回路とを含み、前記昇圧電源回路は、夫々クロック信号に同期して電源電圧の昇圧動作を行ない出力ノードが共通接続された複数のチャージポンプ回路と、前記複数のチャージポンプ回路に夫々位相の異なるクロック信号を供給するクロック供給回路と、前記チャージポンプ回路が形成する昇圧電圧に基づいてクロック供給回路からチャージポンプ回路へのクロック供給動作を制御する制御回路とを含んで、成るものであることを特徴とするマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チャージポンプ形式の昇圧電源回路を有する半導体装置、更にはマイクロコンピュータに関し、例えば、昇圧電源回路を有するフラッシュメモリ、中央処理装置と共にそのフラッシュメモリを有するマイクロコンピュータに適用して有効な技術に関する。

【0002】

【従来の技術】半導体記憶装置の一種類であって電氣的に消去・書き込み可能な不揮発性半導体記憶装置としてフラッシュメモリがある。このフラッシュメモリは、電氣的に消去・書き込み可能な不揮発性メモリセルのアレイを有する。前記不揮発性メモリセルは例えばコントロールゲートやソースに対する高電圧の印加状態に応じて、消去状態・書き込み状態にされ、コントロールゲートから見た閾値電圧が相異される。

3

【0003】前記高電圧を形成するために昇圧電源回路を内蔵する半導体記憶装置がある。昇圧電源回路には、チャージポンプ回路が広く適用されている。チャージポンプ回路としては、図3に例示されるようなDickson型が一般的であり、それを改良したものが多数提案されている。

【0004】例えば、フラッシュメモリ（不揮発性半導体記憶装置）の書き換え電圧の昇圧電源回路に用い、昇圧電圧の立ち上がり時間を短くする回路としては、Symposium on VLSI Circuits Digest of Technical Papers pp65-66 1994に記載されたものがある。また、昇圧電源回路の昇圧効率向上のために、チャージポンプ回路に供給されるクロック信号を4相とし、さらに、読み出し時の昇圧電圧の発生と、書き込み時の昇圧電圧の発生とを共用化したチャージポンプ回路を報告としたものとして、Symposium on VLSI Circuits Digest of Technical Papers pp63-64 1997がある。

【0005】

【発明が解決しようとする課題】図3に例示されたチャージポンプ回路では、各々ダイオード接続された5個のMOSトランジスタが直列接続され、この直列接続ノードにチャージポンプ容量C0が接続され、そのチャージポンプ容量C0の他端には、リングオシレータの出力クロック信号P1から生成された信号Vc1およびVc2が供給される。信号Vc1とVc2のパルス状の波形は相補のクロック波形（2相クロック）である。これにより、チャージポンプ回路の出力端子に昇圧電圧Vcpoutが得られる。なお、チャージポンプ回路の出力端子には昇圧電圧Vcpoutのリプル（不所望な電圧変動）を抑える目的で、平滑容量Csが接続される。但し、昇圧電圧の供給先の寄生負荷容量が大きい場合には平滑容量を付けなくても済む場合がある。

【0006】チャージポンプ回路の出力電圧のレベルを一定値に保つために、チャージポンプ回路から出力される電圧のレベルを検出して、それを比較回路で基準電圧Vrefと比較し、その比較結果に基づいてチャージポンプ回路の動作を制御している。すなわち、チャージポンプ回路の出力電圧が所定の電圧値を越えた場合には、チャージポンプ回路への信号Vc1、Vc2の供給を停止させることによって、チャージポンプ回路の動作制御を行っている。

【0007】図3における昇圧出力電圧Vcpoutの値は、基準電圧Vrefの $(R1+R2)/R2$ 倍である。

【0008】フラッシュメモリの書き換え（消去・書き込み）動作にチャージポンプ回路の昇圧出力電圧を用いた場合、書き換え速度は例えば数 μ 秒であるから、昇圧電

4

源回路にとって負荷の切り換え速度は遅い。それに対して、チャージポンプ回路を駆動するクロック信号の発振周期は例えば数十n秒である。したがって、書き換えに伴う負荷の切り換え時に昇圧電源回路の昇圧電圧は変動しにくい。

【0009】しかしながら、チャージポンプ回路のクロック信号の発振周期と、同じ又はそれよりも短い周期で、負荷の切り換えが行なわれる場合がある。例えば、フラッシュメモリにおいてメモリセルからの読み出し信号量を極力大きくする為にワード線駆動電圧に昇圧電圧を用いる場合が多い。そして、そのような読み出し動作サイクルは、書き換え動作サイクルに対して格段に短い。したがって、フラッシュメモリに対する読み出しワード線の昇圧電圧を昇圧電源回路で形成する場合、駆動ワード線の切り換えという負荷の切り換えがクロック信号P1の発振周期よりも短い間隔で頻繁に生ずれば、ワード線駆動電圧を発生する昇圧電源回路の昇圧電圧に無視し得ない電圧変動（すなわちリップル）を生ずる。特に、中央処理装置と共にマイクロコンピュータにオンチップされたフラッシュメモリの読み出し動作は、マイクロコンピュータ内部の動作クロック信号に同期して高速化される傾向にあるから、その場合の前記リップルは更に大きくなる。

【0010】図8にはフラッシュメモにおける不揮発性メモリセル（フラッシュメモリセル）の読み出しワード線の電圧と読み出し動作周波数との関係を示す。ワード線電圧を昇圧することにより、メモリセル電流が多く流れ、読み出し動作周波数が向上することがわかる。今、目標の読み出し動作周波数40MHz（読み出し速度を25ns）とした場合、3.6V以上の昇圧出力電圧が必要となる。

【0011】また、フラッシュメモリセルのデバイスの制限から、読み出し時ワード線に高い電圧を印加すると、ホットエレクトロンの発生によりメモリセルのしきい値電圧が低い値を保てなくなり、高い値に変化してしまうという、ディスダブ現象が起る。この状態でメモリセルの読み出しを行うと、誤った論理値の読み出しとなる。したがって、読み出しワード線電圧は、このディスダブ現象が起らない範囲、同図では4.0V以下、である必要がある。

【0012】このディスダブ現象を考慮すると、チャージポンプ回路で発生する昇圧電圧の電圧変動（リップル）は前記ディスダブを引き起こさない範囲に抑えられることが必要になる。

【0013】リップル電圧値をある目標値に抑えるためには、昇圧電圧の出力端子に前記平滑容量を設けることが一般的である。図7にはリップル電圧値と平滑容量値の関係を示す。平滑容量の値を大きくすることで、リップルを抑えることが可能となる。しかしながら、半導体装置のチップ面積との関係で、平滑容量を大きくするに

も限界がある。

【0014】本発明の目的は、昇圧電源回路のレイアウト面積を増大させることなく昇圧電圧のリプルを低減できる昇圧電源回路を有する半導体装置を提供することにある。

【0015】本発明の別の目的は、チャージポンプ回路の動作クロック周波数に近い周波数で昇圧電源回路の出力の負荷が変動しても昇圧出力のリプルを低く抑えることができる半導体装置、更にはマイクロコンピュータを提供することにある。

【0016】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0018】〔1〕本発明による半導体装置が備える昇圧電源回路は、夫々クロック信号に同期して昇圧動作を行ない出力ノードが共通接続された複数のチャージポンプ回路と、前記複数のチャージポンプ回路に夫々位相の異なるクロック信号を供給するクロック供給回路と、前記チャージポンプ回路が形成する昇圧電圧に基づいてクロック供給回路からチャージポンプ回路へのクロック供給動作を制御する制御回路と、を含ん構成される。

【0019】上記によれば、複数のチャージポンプ回路が位相の異なるクロック信号に同期して昇圧動作を行なうので、1つのクロック信号の1周期に前記複数のチャージポンプ回路は夫々異なるタイミングで1回ずつ昇圧動作を行なうことが可能になる。換言すれば、昇圧電源回路全体として1つのクロック信号の1周期に可能な昇圧動作回数はチャージポンプ回路の並列数倍となり、1個のチャージポンプ回路が備えるべき昇圧能力は、チャージポンプ回路を1個しか持たない昇圧電源回路に比べて、前記並列数分の1で済む。例えば、チャージポンプ回路をn個持つ場合、1個のチャージポンプ回路の昇圧能力は $1/n$ でよい。したがって、昇圧動作を開始したとき昇圧電圧が昇圧側へ変化するときのリプルは、チャージポンプ回路を1個だけ持つ昇圧電源回路に比べて大幅に緩和される。

【0020】また、上記により、昇圧電源回路全体としてどれか一つのチャージポンプ回路が昇圧動作を開始する間隔は、1個のチャージポンプ回路を用いる場合に比べて短くなる。したがって、昇圧電圧が所望値を下まわったとき、チャージポンプ回路が再び昇圧動作を開始する応答時刻が早くなるから、昇圧電圧とは反対側の極性に変化しようとするレベルも小さくされる。この反対極性のリプルも緩和可能になる。

【0021】リプルが緩和若しくは抑制されるから、

小さな値の平滑容量を採用すれば済む。

【0022】また、前述より明らかなように、複数のチャージポンプ回路の出力が共通接続されているから、昇圧電源回路として必要な昇圧電圧を得るための個々のチャージポンプ回路の昇圧能力はチャージポンプ回路の並列数に応じて低くてよい。このことは、チャージポンプ回路を構成するポンプ容量及びダイオードMOSトランジスタ等によるチップ占有面積が、チャージポンプ回路が1個の場合と、複数のチャージポンプ回路を並列する場合とでほぼ同じになる、ことを意味する。したがって、複数のチャージポンプ回路を並列させても、昇圧電源回路のチップ占有面積が大幅に増大することはない。

【0023】〔2〕前記クロック供給回路は、発振ループに複数の遅延段を配置したリングオシレータで構成するとき、異なる遅延段から夫々位相の異なるクロック信号を出力させれば、そのようなクロック信号を容易に形成することができる。

【0024】〔3〕前記チャージポンプ回路には、夫々ダイオード接続された複数のMOSトランジスタの直列回路と、前記MOSトランジスタの接続点に一端が結合されたポンプ容量素子とを含め、前記ポンプ容量素子の他端には隣合うMOSトランジスタのオン動作期間を相異させるように変化する内部クロック信号を供給すれば、正極性又は負極性の昇圧電圧を容易に得ることができる。

【0025】〔4〕上記〔3〕において、前記ポンプ容量素子とは別の容量素子であって前記MOSトランジスタのゲート電圧をブーストする第2のポンプ容量素子を更に設け、前記第2のポンプ容量素子には前記内部クロック信号とは相違されるクロック信号であって隣合う前記第2のポンプ容量素子のブースト動作を相違させるように変化する第2の内部クロック信号を供給し、前記内部クロック信号及び前記第2の内部クロック信号を相互に位相の相違される4相のクロック信号とするように、個々のチャージポンプ回路を構成することができる。相補クロック信号である内部クロック信号を用いる場合に比べて相圧動作が更に円滑化若しくは安定化する。

【0026】〔5〕前記制御回路には、前記昇圧電圧の分圧電圧と基準電圧とを比較する比較回路を含め、前記比較回路の比較結果を用いて前記クロック供給回路から前記チャージポンプ回路へのクロック信号の供給と供給停止とを制御することによって、昇圧電圧を所定レベルに維持させることができる。このクロック信号の供給を開始するとき、リプルが発生しようとするが、前述のように、位相をずらして複数のチャージポンプ回路を動作させる構成により、リプルの発生は緩和若しくは抑制される。

【0027】〔6〕前記昇圧電圧の分圧電圧を得る回路は複数のMOSトランジスタを直列抵抗として使用し

て、簡単に実現できる。

【0028】〔7〕前記チャージポンプ回路へのクロック信号の供給停止に応答して、前記共通出力ノードからチャージポンプ回路への電流の逆流を阻止する第1の逆流防止手段を採用すれば、昇圧電圧を更に安定化させることができる。更に、前記チャージポンプ回路へのクロック信号の供給停止に応答して、前記チャージポンプ回路から電源電圧への電流の逆流を阻止する第2の逆流防止手段を採用してもよい。

【0029】〔8〕半導体装置が、マトリクス配置された複数のメモリセルと、前記メモリセルの選択端子に結合された複数のワード線と、ワード線を選択する選択回路とを更に含むとき、前記選択回路がリード動作におけるワード線選択レベルに前記昇圧電源回路の昇圧電圧を用いる場合、ワード線選択動作周期（メモリリードサイクル）がチャージポンプ回路のクロック信号周期より短くても、リップルの増大を緩和することができる。

【0030】〔9〕前記メモリセルが電氣的に書き換え可能な不揮発性メモリセルであるなら、リード動作におけるワード線選択レベルである昇圧電圧のリップル発生が緩和若しくは抑制されているから、読み出し動作によって不揮発性メモリセルの閾値電圧が不所望に変化するディスタ urb 現象を緩和することができる。

【0031】〔10〕上記半導体装置に命令を実行して前記メモリセルをアクセス可能な中央処理装置を含めてマイクロコンピュータを構成すれば、中央処理装置によるメモリセルのリードアクセスが中央処理装置の動作クロックに同期して更に高速化されても、上記リップルやディスタ urb を同じく緩和できる。

【0032】〔11〕特に前記昇圧電源回路を適用したマイクロコンピュータは、命令を実行する中央処理装置と、電氣的に書き換え可能な不揮発性メモリと、前記不揮発性メモリと中央処理装置とを接続するバスとを含む。前記不揮発性メモリは、電氣的に消去・書き込み可能な不揮発性メモリセルをマトリクス配置したメモリセルアレイと、外部からの指示に回答してメモリセルに対する読み出し動作及び電氣的な消去・書き込み動作を行なうメモリ制御回路と、前記読み出し動作及び前記消去・書き込み動作に用いる昇圧電圧を生成する昇圧電源回路とを含む。前記昇圧電源回路は、前述の通り、位相をずらして複数のチャージポンプ回路を動作させる構成により、リップルの発生を緩和若しくは抑制することができる。

【0033】

【発明の実施の形態】図1には本発明に係る半導体装置に適用される昇圧電源回路の概略が示される。同図において昇圧電源回路1は、チャージポンプ回路2、3、4、リングオシレータ5、比較回路6、抵抗分圧回路7、及び平滑容量8を有する。

【0034】チャージポンプ回路2、3、4は、夫々ク

ロック信号に同期して電源電圧Vccを入力して昇圧動作を行ない、昇圧電圧の出力ノードが共通接続されている。Noutが共通接続ノードである。平滑容量8は前記共通接続ノードNoutと回路の接地端子Vssとの間に配置されている。Vcpoutが昇圧電源回路1の昇圧電圧（昇圧出力電圧）である。前記リングオシレータ5は、前記複数のチャージポンプ回路2、3、4、に夫々位相の異なるクロック信号P1、P2、P3を供給するクロック供給回路の一例を実現する。前記抵抗分圧回路7及び比較回路6は前記チャージポンプ回路2、3、4が形成する昇圧電圧に基づいてリングオシレータ5からチャージポンプ回路2、3、4へクロック信号P1、P2、P3を供給する動作を制御する制御回路を構成する。

【0035】図2は昇圧電源回路の図1の原理的な構成を更に詳細に示したものである。前記チャージポンプ回路2は、夫々ゲート電極が自らのドレイン電極に結合されたダイオード接続形態の複数のMOSトランジスタ20を5個直列配置した直列回路を有する。前記MOSトランジスタ20の接続点にはポンプ容量素子（第1のポンプ容量素子）21の一方の容量電極が結合される。ポンプ容量素子21の他方の容量電極には、隣合うMOSトランジスタ20のオン動作期間を相異させるように変化するクロック信号例えば相補クロック信号（第1の内部クロック信号）がナンドゲート22、インバータ23、24、25を介して供給される。他のチャージポンプ回路3、4も同じ回路構成を有する。各チャージポンプ回路2、3、4の左端に配置されたMOSトランジスタ20のドレイン電極はpチャンネル型のMOSトランジスタ35を介して電源電圧Vccに結合される。各チャージポンプ回路2、3、4の右端に配置されたMOSトランジスタ20のソース電極はpチャンネル型のMOSトランジスタ34を介して前記ノードNoutに共通接続される。

【0036】各チャージポンプ回路2、3、4のナンドゲート22には、昇圧起動信号CNTN及び比較結果信号CPSが共通に入力されると共に、前記別々のクロック信号P1、P2、P3が入力される。チャージポンプ回路2、3、4は、昇圧起動信号CNTNがハイレベルにされた後、比較結果信号CPSがハイレベルにされている期間、クロック信号P1、P2、P3の立上がり同期して昇圧動作を行う。

【0037】抵抗分圧回路7は直列接続されたpチャンネル型のMOSトランジスタ70、71を有する。前記MOSトランジスタ70はダイオード接続形態に固定され、前記MOSトランジスタ71は起動信号CNTがローレベル（接地電圧Vssレベル）にされた状態でダイオード接続状態にされる。双方のMOSトランジスタ70、71がダイオード接続形態にされた状態で、当該MOSトランジスタ70、71の接続点には分圧電圧Vd

ivとして、電圧 $V_{c\text{pout}}$ の1/2のレベルが形成される。

【0038】比較回路6は、nチャンネル型の差動入力MOSトランジスタ60、61に、pチャンネル型のカレントミラー負荷トランジスタ62、63を接続して構成される。一方の差動入力トランジスタ61のゲート電極には基準電圧 V_{ref} が供給され、他方の差動入力トランジスタ61のゲート電極には抵抗分圧回路7の分圧電圧 V_{div} が入力される。比較結果信号CPSは、分圧電圧 V_{div} が基準電圧 V_{ref} に至るまではハイレベル、分圧電圧 V_{div} が基準電圧 V_{ref} を超えるとローレベルにされる。67はnチャンネル型のパワースイッチトランジスタ、64はpチャンネル型の初期化トランジスタである。起動信号CNTのローレベルによって昇圧動作が指示されると、パワースイッチトランジスタ67がオン状態にされて比較回路6が活性化される。起動信号CNTのハイレベルによって昇圧電源回路にスタンバイ状態が指示されると、初期化トランジスタ64がオン状態にされて比較結果信号CPSがハイレベルにプルアップされる。

【0039】昇圧電源回路のスタンバイ状態において電圧 $V_{c\text{pout}}$ を電源電圧 V_{cc} に規定するためのMOSトランジスタ40~44が設けられている。44はpチャンネル型のプルアップMOSトランジスタであり、そのゲート電圧はMOSトランジスタ40~43から成るレベル変換回路を介して形成される。昇圧電源回路のスタンバイ状態（CNT：ハイレベル）においてMOSトランジスタ44はオン状態にされる。

【0040】MOSトランジスタ30~35はチャージポンプ回路2、3、4への電流の逆流を阻止する逆流防止回路を構成する。すなわち、MOSトランジスタ30~33はレベル変換回路を構成し、昇圧電源回路の動作可能状態において、比較結果信号CPSのローレベルによってチャージポンプ回路が動作停止される状態に应答して、MOSトランジスタ30がオフ状態、MOSトランジスタ31がオン状態にされることにより、MOSトランジスタ34、35がカット・オフされ、前記共通出力ノードNoutからチャージポンプ回路2、3、4への電流の逆流防止をMOSトランジスタ34が行ない、チャージポンプ回路内の容量素子21から電圧供給電源としての電源電圧 V_{cc} への電流の逆流防止をMOSトランジスタ35が行なう。

【0041】リングオシレータ5は奇数個のインバータを発振ループに有する。図2の例では3個のインバータ50、51、52が遅延段として代表的に図示されている。3相のクロック信号P1、P2、P3は発振ループからの出力位置が相違されることによって位相が異なっている。

【0042】前記昇圧電源回路は、例えば、マイクロコンピュータに搭載されたフラッシュメモリの読み出しワ

ード線を駆動するための動作電源等に適用することができる。この場合、昇圧電源回路の負荷の切り換えは、ワード線選択動作サイクル換言すればメモリアクセスサイクルに応じて決定され、リングオシレータの発振周期と同じ又はそれよりも短い周期とされる場合が多い。図4にはそのような場合を想定した昇圧電源回路の動作タイミングの一例が示される。

【0043】図4においてWLはフラッシュメモリにおけるリード動作時のワード線選択タイミング信号である。リード動作時のワード線選択動作はタイミング信号WLのサイクルに同期して行われる。したがって、ワード線選択動作毎に昇圧電圧 $V_{c\text{pout}}$ が消費されてレベル低下される。昇圧電圧 $V_{c\text{pout}}$ のレベルが基準電圧 V_{ref} の2倍の電圧（ $2 \times V_{ref}$ ）よりも低くなると、比較結果信号CPSがハイレベルにされ、この間、クロック信号P1、P2、P3の立上がり同期して、チャージポンプ回路2、3、4が昇圧動作を行う。図4の例では、クロック信号P3の立上がり同期してチャージポンプ回路4が昇圧動作を行う。これによって、昇圧電圧 $V_{c\text{pout}}$ が基準電圧 V_{ref} の2倍の電圧（ $2 \times V_{ref}$ ）を超えれば、比較結果信号CPSはローレベルにネゲートされる。

【0044】図4より明らかなように、3個のチャージポンプ回路2、3、4は位相の異なるクロック信号P1、P2、P3に同期して昇圧動作を行なうので、1つのクロック信号の1周期に3個のチャージポンプ回路2、3、4は夫々異なるタイミングで1回ずつ昇圧動作を行なうことが可能である。換言すれば、昇圧電源回路全体として1つのクロック信号の1周期に可能な昇圧動作回数はチャージポンプ回路の並列数倍である3倍となる。したがって、1個のチャージポンプ回路の昇圧能力は、図3に示されるようなチャージポンプ回路を1個しかしか持たない昇圧電源回路に比べて、前記並列数分の1である1/3で済む。即ち、個々のチャージポンプ回路2、3、4を構成するダイオード接続MOSトランジスタ20やインバータ23、24、25のトランジスタサイズ、そしてポンプ容量素子21のサイズは図3のチャージポンプ回路に対して1/3であればよい。これにより、昇圧動作を開始したとき昇圧電圧が昇圧側へ変化する時のリップルは、チャージポンプ回路を1個だけ持つ昇圧電源回路の動作波形を示す図5に比べて、大幅に緩和される。

【0045】また、上記により、昇圧電源回路全体としてどれか一つのチャージポンプ回路2、3、4が昇圧動作を開始する間隔は、図3のような1個のチャージポンプ回路を用いる場合に比べて1/3に短縮される。例えばチャージポンプ回路を1個だけ有する図3の昇圧電源回路の場合、図5に例示されるように、クロック信号P1の1周期に1回しか昇圧動作を行うことはできない。図4の場合には、昇圧電源回路はクロック信号P1の1

11

周期に最大 3 回昇圧動作可能な機会が訪れる。したがって、図 4 において、時刻 t_0 に昇圧電圧 $V_{c\text{pout}}$ が所望値 ($2 \times V_{\text{ref}}$) を下まわったとき、チャージポンプ回路が再び昇圧動作を開始する応答時刻が早くなるから、昇圧電圧とは反対側の極性に変化しようとするレベルも小さくされる。この反対極性のリップルも緩和可能になる。

【0046】リップルが緩和若しくは抑制されるから、平滑容量 8 の容量値を小さくすることができる。

【0047】また、前述より明かなように、複数のチャージポンプ回路 2, 3, 4 の出力が共通接続されているから、昇圧電源回路として必要な昇圧電圧を得るために個々のチャージポンプ回路 2, 3, 4, が備えるべき昇圧能力はチャージポンプ回路の並列数に応じて低くてよい。このことは、全てのチャージポンプ回路 2, 3, 4, を構成するポンプ容量 21 及びダイオード MOS トランジスタ 20 等によるチップ占有面積は、チャージポンプ回路を 1 個の場合とほぼ同じで済む、ということの意味する。したがって、複数のチャージポンプ回路 2, 3, 4 を並列させても、昇圧電源回路のチップ占有面積が大幅に増大することはない。

【0048】図 6 には本発明の昇圧電源回路 1 におけるリップル電圧値と平滑容量値との関係が例示される。図 7 には図 3 の昇圧電源回路におけるリップル電圧値と平滑容量値の関係が例示される。図 7 と図 6 を比べれば、本発明の昇圧電源回路 1 を用いることで、レイアウト面積に影響がある平滑容量の値を低減できることは明らかである。リップル電圧値の許容値を 0.2V とする場合には、平滑容量の値を半減できる。

【0049】図 9 には本発明に係る半導体装置の一例である半導体記憶装置として電気的に書き換え可能なフラッシュメモリ 90 が示される。

【0050】メモリアレイ 100 は、電気的に書き換え（消去・書き込み）可能な不揮発性メモリセル（フラッシュメモリセル）をマトリクス配置して備える。フラッシュメモリセルは、特に図示はしないが、コントロールゲート、フローティングゲート、ソース及びドレインを持ち、例えばコントロールゲートから見た閾値電圧の状態に応じたデータを保有する。フラッシュメモリセルのコントロールゲートはワード線に、ドレインはビット線に、ソースはソース線に接続される。フラッシュメモリセルに対する消去・書き込み電圧の印加形式は種々の態様が公知であり、要するに、フローティングゲートに対する電子の注入・放出によってフラッシュメモリセルの閾値電圧を操作する。1 個のフラッシュメモリセルは 2 値或いは 4 値などの多値のデータを保持することができる。

【0051】外部から供給されるロウアドレス信号 (X アドレス信号) AX は行アドレスバッファ (XADB) 102B で内部相補アドレス信号に変換され、これが行

12

アドレスデコーダ (XDCR) 102D で解読されてワード線選択信号などを生々する。WL (i) は代表的に示されるワード線である。メモリアレイ 100 のビット線側には、データラッチ回路 (DL) 103、センスアンプ回路 (SA) 104、第 1 の列ゲートアレイ回路 (YG-Gate) 105、第 2 の列ゲートアレイ回路 (YW-Gate) 106、第 3 の列ゲートアレイ回路 (YT-Gate) 107、列アドレスバッファ (YAD) 109B 及び列アドレスデコーダ (YDCR) 109D が設けられている。列アドレスバッファ (YAD) 109B はカラムアドレス信号 (AY) を内部相補アドレス信号に変換する。内部相補アドレス信号は列アドレスデコーダ (YDCR) 109 で解読され、その解読結果にしたがって第 1 の列ゲートアレイ回路 (YG-Gate) 105 に、センスアンプ 104 又はデータ入力バッファ 111 に接続するビット線を選択させる。特に制限されないが、データラッチ回路 103 はワード線単位の書き込みを行なうとき、書き込みデータを保持する。第 2 の列ゲートアレイ回路 (YW-Gate) 106 は、書き込み動作時にのみゲートがオンし、書き込みデータ (電圧) をメモリセルへ供給する。読み出し時はオフ状態にされる。第 3 の列ゲートアレイ回路 (YT-Gate) 107 は、書き込み動作時以外のデータラッチ入力動作及び読み出し動作時等において、オン状態 (電圧値は高電圧を印加してもよい) であり、書き込み動作時にはオフ状態とされ、第 3 の列ゲートアレイ回路 (YT-Gate) 107 で降を切り離す。切り離すことにより、第 1 の列ゲートアレイ回路 (YG-Gate) 105 以降にスピードの速い低耐圧系デバイスを使用することができる。

【0052】ソース・チャネル電位切り換え回路 (SVC) 110 は、消去動作時にソース線を介してフラッシュメモリセルのソース線電位などを消去可能な電位に切り換える。特に制限されないが、ワード線に高電圧を与え、ソース線電位との組み合わせによって消去を行なう。外部とデータを入出力する為に入力バッファ回路 (DIB) 111、出力バッファ回路 (DOB) 112 及びマルチプレクサ回路 (MP) 113 を有する。I/O はデータ入出力端子である。フラッシュメモリの動作モードは、コントロール信号バッファ回路 (CSB) 115 に供給される後述の各種メモリ制御信号、及びモードコントロール回路 (MC) 114 の出力によって制御される。内蔵電源回路 (VS) 116 は、消去・書き込み動作の為の高電圧や読み出し時のワード線選択の為の昇圧電圧などの内部動作電源を外部電源電圧 V_{cc} に基づいて生成する。 V_{ss} は回路の接地電圧である。

【0053】前記コントロール信号バッファ回路 115 には、特に制限されるものではないが、メモリ制御信号として、チップイネーブル信号 CE_b 、アウトプットイネーブル信号 OE_b 、ライトイネーブル信号 WE_b 、シ

リアルクロック信号SCなどが入力され、これらの信号に応じて内部制御信号のタイミング信号を発生し、またモードコントロール回路114から外部端子R / Bbにレディ／ビジー信号が出力されている。

【0054】前記内蔵電源回路116においては、特に制限されるものではないが、たとえば外部から電源電圧Vccが入力され、読出しワード線電圧Vrw、書込ワード線電圧Vww、書込ドレイン端子電圧Vwd、書込ドレイン電圧のトランスファー電圧Vwt、メモリセルの低い閾値電圧(VthL)に対応する書込ベリイファイワード線電圧Vwv、消去ワード線電圧Vew、メモリセルの高い閾値電圧(VthH)に対応する消去ベリイファイワード線電圧Vev、消去チャネル・ソース電圧Vec、センスアンプ回路電圧VSAなどが生成されるようになっている。

【0055】ここで生成された各電圧は、Vrw、Vww、Vwv、Vew、Vev、Vvtが行アドレスデコーダ(XDCR)102Dに、Vecがソース・チャネル電位切り換え回路(SVC)110に、Vwdがデータラッチ回路(DL)103に、VSAがセンスアンプ回路(SA)104に、Vwtがゲートアレイ回路(YW-Gate、YT-Gate)106、107にそれぞれ入力されている。

【0056】この半導体記憶装置において、外部端子から供給される行／列アドレス信号AX／AYを受ける行／列アドレスバッファ(XADB／YADB)102B、109Bを通して形成されたアドレス信号が行／列アドレスデコーダ(XDCR／YDCR)102D、109Dに供給される。行アドレスデコーダ(XDCR)102Dは、アドレス信号に従ったメモリセル群のワード線の選択信号を形成する。列アドレスデコーダ(YDCR)109Dは、アドレス信号に従ったメモリセル群のビット線の選択信号を形成する。これにより、メモリアレイ100内において、任意のワード線及びビット線が指定されて所望のメモリセルが選択される。

【0057】前記昇圧電源回路1は内蔵電源回路(VS)116に含まれ、前記読出しワード線電圧Vrw等の高電圧の生成に利用される。読出しワード線電圧Vrwは前記行アドレスデコーダ102Dによって選択されたワード線に与えられる。

【0058】図10には本発明に係る半導体装置の一例であるシングルチップマイクロコンピュータが示される。同図に示されるシングルチップマイクロコンピュータ200は、単結晶シリコンのような1個の半導体基板(半導体チップ)に形成されている。このシングルチップマイクロコンピュータ200は、前記フラッシュメモリ90をオンチップで備えている。

【0059】図10において201は中央処理装置(CPU)、90は図9に説明したフラッシュメモリ、202は前記CPU201が実行すべきプログラムや固定デ

ータを記憶するリードオンリメモリ(ROM)、203は前記CPU201による演算結果を記憶したり、CPU201の作業領域を提供するランダムアクセスメモリ(RAM)、204は前記各メモリ202、203と外部の主メモリ(図示せず)との間でデータを所定のブロック単位で転送する制御をつかさどるダイレクト・メモリ・アクセス・コントローラ(DMAC)である。

【0060】マイクロコンピュータ200は、周辺回路として、外部装置との間でシリアル通信を行うシリアルコミュニケーションインターフェース回路(SCI)206、タイマ207、発振回路を有しシステムクロックをクロックラインCKに生成するクロックパルス発生回路(CPG)208を有する。

【0061】チップの外部とは入出力ポート(IOP1～IOP9)211～219を介して接続される。

【0062】このマイクロコンピュータ200は、前記CPU201とフラッシュメモリ90、ROM202、RAM203、DMAC204、一部の入出力ポート(IOP1～IOP5)211～215との間をメインアドレスバスIAB及びメインデータバスIDBによって接続する。前記SCI206、タイマ207等の周辺回路と入出力ポート(IOP1～IOP9)211～219との間を接続する周辺アドレスバスPAB及び周辺データバスPDBが設けられている。更に、上記IAB及びIDBとPAB及びPDBとの間で信号の転送を制御すると共に、各バスの状態を制御するバスシーケンスコントローラ(BSC)220が設けられている。

【0063】次に、シングルチップマイクロコンピュータ200に内蔵されたフラッシュメモリ90における内蔵電源回路116中の例えば、読出しワード線電圧Vrwを昇圧する昇圧電源回路1の動作を説明する。

【0064】チャージポンプ回路を1個持つ図3の構成における信号波形を模式的に示す図5において、昇圧出力電圧Vcpoutが2xVref以下になると、比較回路出力CPSが立ち上がるが、リングオシレータの出力P1の立ち上がりを持って昇圧がされるので、昇圧出力電圧Vcpoutは負荷の切り換えにより、さらに低下する。図5において、比較回路出力CPSが立ち上がり、リングオシレータの出力P1が立ち上がりること

で、昇圧出力電圧Vcpouは、再び昇圧される。昇圧出力電圧Vcpouが2xVref以上を越えると、リングオシレータの出力P1が立ち下がるが、チャージポンプ容量C0により、昇圧出力電圧Vcpouを、2xVrefより高い電圧値に持ち上げてしまう。したがって、図5に例示されるように、昇圧出力電圧には変動の大きなリップルが生ずる。

【0065】前記図2の回路内の信号波形と昇圧出力電圧波形を模式的に示した図4を参照するに、図5の信号波形に対して、チャージポンプ回路2、3、4はリングオシレータ5の出力クロック信号P1、P2、P3の立

ち上がり同期で昇圧動作可能にされている。昇圧出力電圧 V_{cpout} が $2 \times V_{ref}$ 以下になると、比較回路 6 の出力信号 CPS が立ち上がる。図 4 の場合には、すぐに、リングオシレータ 5 の出力（同図では $P3$ ）の立ち上がりタイミングが訪れ、それにより早く昇圧動作が開始される。

【0066】チャージポンプ容量 21 の値は図 3 の容量 $C0$ の $1/3$ になっているため、昇圧出力電圧 V_{cpout} の持ち上がり電圧（リップル電圧）値は、低くなる。したがって、昇圧出力電圧に、リップルが起きても、その値は抑えられた値になる。フラッシュメモリ 90 の読み出しワード線を昇圧電圧で駆動しても、リップルの電圧範囲は図 8 の昇圧下限電圧と昇圧上限電圧の範囲に収まる。

【0067】一般的な手法として、平滑容量の値を大きくすることでリップルを抑えることができる。平滑容量値とリップル電圧値との関係を示す前記図 7 及び図 6 を参照するに、本発明に係る図 2 の昇圧電源回路 1 を用いることで、レイアウト面積に影響がある平滑容量 8 の値を低減することができる。リップル電圧値を 0.2V とした場合には平滑容量の値を半分に低減できる。

【0068】図 11 には昇圧電圧を負電圧とする昇圧電源回路におけるチャージポンプ回路の例が示される。チャージポンプ回路の並列接続数には、特に制限はない。図 11 は、3 個のチャージポンプ回路を並列接続した例である。3 個のチャージポンプ回路 2a, 3a, 4a はリングオシレータ 5 の出力 $P1$, $P2$, $P3$ を入力する。各チャージポンプ回路 2a, 3a, 4a は、P チャンネル型のダイオード接続 MOS トランジスタ 20a が 9 個直列形態に接続されて成り、各チャージポンプ回路の出力ノードが共通接続される。MOS トランジスタ 20a のゲート幅、チャージポンプ容量 21a 及びチャージポンプ容量 21a を駆動するドライバのサイズは、チャージポンプ回路を 1 個備えて成る昇圧電源回路に比べて $1/3$ になっている。

【0069】また、同図では、逆流防止回路として、N チャンネル型の MOS トランジスタ 35a を採用している。昇圧スタート電圧は接地電圧 V_{ss} であり、昇圧出力電圧 V_{cpout} として負電圧が昇圧される。

【0070】図 2、図 11 で説明したチャージポンプ回路の動作クロック信号は 2 相の相補クロック信号とした。チャージポンプ回路を駆動するクロック方式は前記相補クロック方式に制限されず、チャージポンプ回路を構成する MOS トランジスタのゲート電圧をブーストする 4 相クロック方式を採用してもよい。

【0071】図 12 には本発明を 4 相クロック方式による正電圧の昇圧電源回路に適用した場合の回路が示される。チャージポンプ回路の並列接続数は、特に制限はないが、3 としており、3 個のチャージポンプ回路 2b, 3b, 4b を並列接続した例である。リングオシレータ

5 の出力 $P1$, $P2$, $P3$ の波形を加工制御して、波形 $CPiP1$, $CPiP2$, $CPiP3$, $CPiP4$ ($i = 1, 2, 3$) を生成し、3 個並列配置されたチャージポンプ回路 2b, 3b, 4b の各々のチャージポンプ容量素子 21b, 21c に供給される。前記チャージポンプ容量素子 21b は前記チャージポンプ容量素子 21 に相当し、別のチャージポンプ容量素子（第 2 のチャージポンプ容量素子）21c は、チャージポンプ回路 2b, 3b, 4b を構成する N チャンネル型のダイオード接続 MOS トランジスタ 20b のゲート電圧をブーストするための容量素子であり、その隣合う第 2 のチャージポンプ容量素子 21c によるブースト動作を相違させるようにそれら容量素子 21c の容量電極には内部クロック信号（第 2 の内部クロック信号） $CPiP3$, $CPiP4$ が供給される。クロック信号 $CPiP1$, $CPiP2$ は容量素子 21b の容量電極に供給される。信号 $CP1Pj$, $CP2Pj$, $CP3Pj$ の位相は、 120 度ずつずれている ($j = 1, 2, 3, 4$)。

【0072】4 相クロック方式での回路構成及びクロック波形は、特に制限はなく、各々のチャージポンプ回路 2b, 3b, 4b のクロック波形の位相を相違させた波形を供給することに特徴があり、図 13 に例示される波形になる。4 相クロック方式は、負電圧昇圧の場合も当然適用可能である。

【0073】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0074】例えば、チャージポンプ回路の並列接続数は 3 個に限定されず、4 以上であつてもよい。並列数が増えれば昇圧電圧は更に安定化するが、各回路素子の分離領域が増えるため、チップ占有面積は徐々に増える傾向になる。

【0075】また、昇圧出力電圧 V_{cpout} の電圧値は、基準電圧 V_{ref} を 2 倍した値に限定されず、適宜変更可能である。

【0076】また、リングオシレータ及びチャージポンプ回路スタート電圧として、図 2 では電源電圧 V_{cc} であるが、電源電圧の変動を考慮にいれ、例えば電源電圧 V_{cc} を降圧安定化した電圧を採用してもよい。

【0077】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリに適用した場合について説明したが、本発明はそれに限定されるものではなく、昇圧電圧（正側高電圧および負側高電圧）を必要とする半導体装置及びそれを搭載するマイクロコンピュータに広く適用することができる。

【0078】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記

の通りである。

【0079】本発明によれば、複数のチャージポンプ回路が位相の異なるクロック信号に同期して昇圧動作を行なうので、昇圧動作を開始したとき昇圧電圧が昇圧側へ変化する時のリップルを、チャージポンプ回路を1個だけ持つ昇圧電源回路に比べて大幅に緩和することができる。更に、反対極性のリップルも緩和することができる。

【0080】リップルを緩和できるから平滑容量の小型化に寄与できる。複数のチャージポンプ回路の出力が共通接続されているから、昇圧電源回路として必要な昇圧電圧を得るために個々のチャージポンプ回路に要する昇圧能力はチャージポンプ回路の並列数に応じて低くてよい。したがって、複数のチャージポンプ回路を並列させても、昇圧電源回路のチップ占有面積が大幅に増大することはない。

【0081】前記チャージポンプ回路へのクロック信号の供給停止にตอบสนองして、前記共通出力ノードからチャージポンプ回路への電流の逆流を阻止する逆流防止回路を採用することにより、昇圧電圧を更に安定化させることができる。更に、半導体装置の消費電力を低減できる。

【0082】メモリアクセス動作におけるワード線選択レベルに前記昇圧電源回路の昇圧電圧を用いる場合、ワード線選択動作周期（メモリアクセスサイクル）がチャージポンプ回路のクロック信号周期より短くても、リップルの増大を緩和することができる。

【0083】前記メモリアクセルが電氣的に書き換え可能な不揮発性メモリアクセルであるなら、リード動作におけるワード線選択レベルである昇圧電圧のリップル発生が緩和若しくは抑制されているから、読み出し動作によって不揮発性メモリアクセルの閾値電圧が不所望に変化するディスタート現象を緩和することも可能である。

【0084】昇圧電源回路をマイクロコンピュータ内蔵メモリに適用すれば、中央処理装置によるメモリアクセルのリードアクセスが中央処理装置の動作クロックに同期して更に高速化されても、上記リップルやディスタートを同じく緩和することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置に適用される昇圧電源回路の概略を示す回路図である。

【図2】昇圧電源回路の詳細な一例を示す回路図である。

【図3】チャージポンプ回路を1個備えた昇圧電源回路の一例を示す回路図である。

【図4】図2の昇圧電源回路における昇圧動作の一例を示す波形図である。

【図5】チャージポンプ回路を1個備えた比較例として

の昇圧電源回路の動作を示す波形図である。

【図6】図2の昇圧電源回路におけるリップル電圧値と平滑容量値の関係を例示する特性図である。

【図7】図3の昇圧電源回路におけるリップル電圧値と平滑容量値の関係を例示する特性図である。

【図8】フラッシュメモリにおける読み出しワード線の昇圧電圧と読み出し動作周波数との関係を例示する説明図である。

【図9】本発明に係る半導体装置の一例である半導体記憶装置として電氣的に書き換え可能なフラッシュメモリを示すブロック図である。

【図10】本発明に係る半導体装置の一例であるシングルチップマイクロコンピュータを示すブロック図である。

【図11】昇圧電圧を負電圧とする昇圧電源回路におけるチャージポンプ回路の一例を示す回路図である。

【図12】4相クロック方式による正電圧の昇圧電源回路におけるチャージポンプ回路の一例を示す回路図である。

【図13】図12の4相クロック波形の一例を示す波形図である。

【符号の説明】

1 昇圧電源回路

2, 3, 4 チャージポンプ回路

2a, 3a, 4a チャージポンプ回路

2b, 3b, 4b チャージポンプ回路

5 リングオシレータ

P1, P2, P3 クロック信号

6 比較回路

7 分圧回路

8 平滑容量

20 ダイオード接続MOSトランジスタ

20a ダイオード接続MOSトランジスタ

20b ダイオード接続MOSトランジスタ

21 ポンプ容量

21a ポンプ容量

21b ポンプ容量

34, 35 逆流防止用のMOSトランジスタ

50, 51, 52 インバータ

70, 71 分圧回路構成用MOSトランジスタ

90 フラッシュメモリ

116 内蔵電源回路

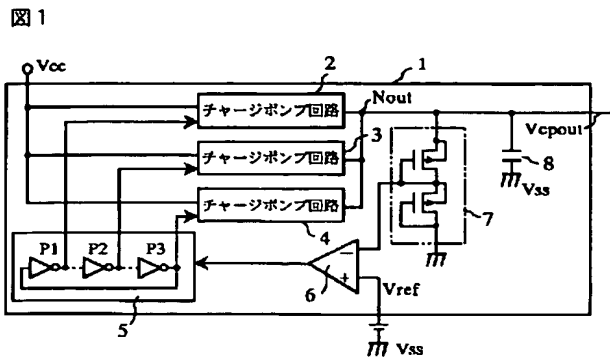
200 シングルチップマイクロコンピュータ

201 中央処理装置

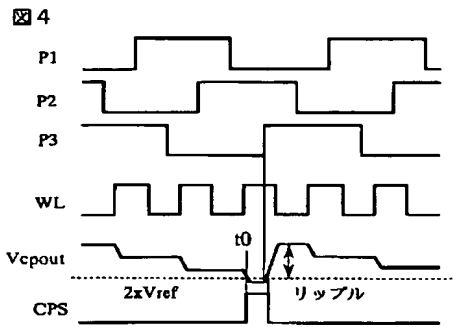
1AB メインアドレスバス

1DB メインデータバス

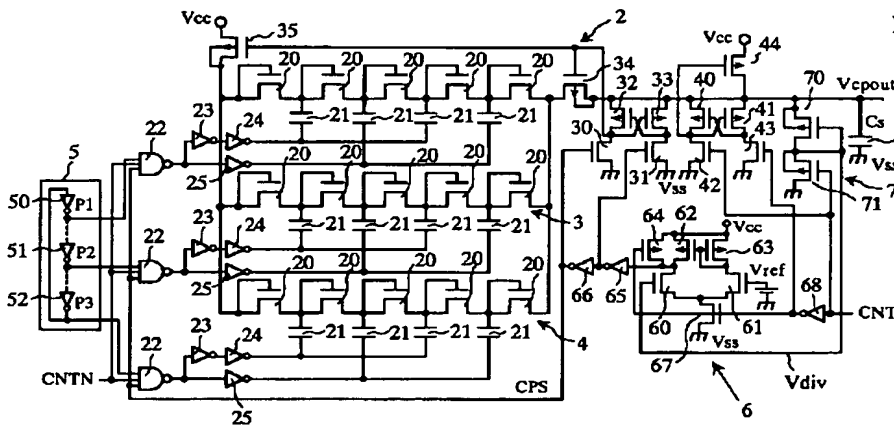
【図 1】



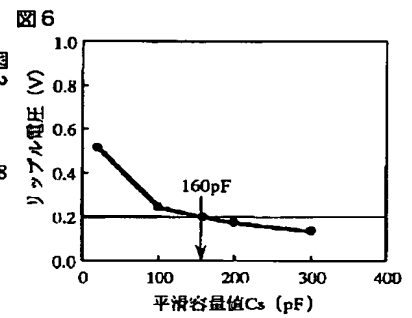
【図 4】



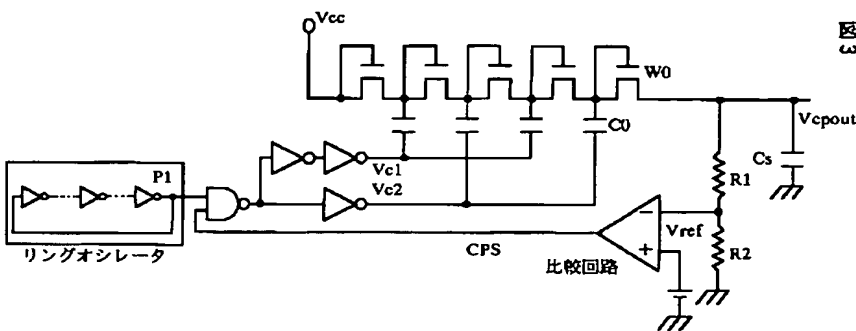
【図 2】



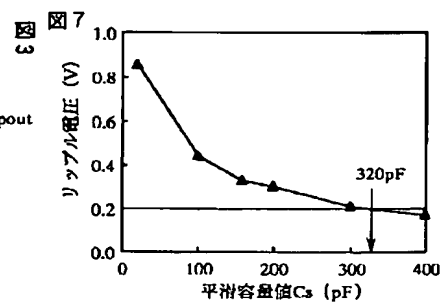
【図 6】



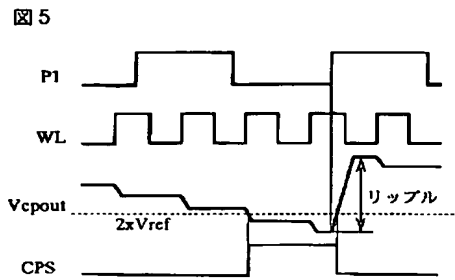
【図 3】



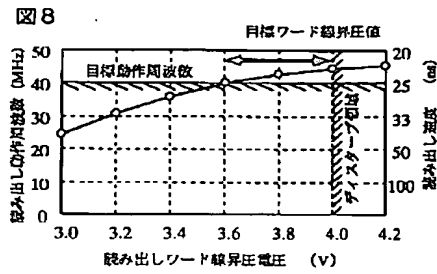
【図 7】



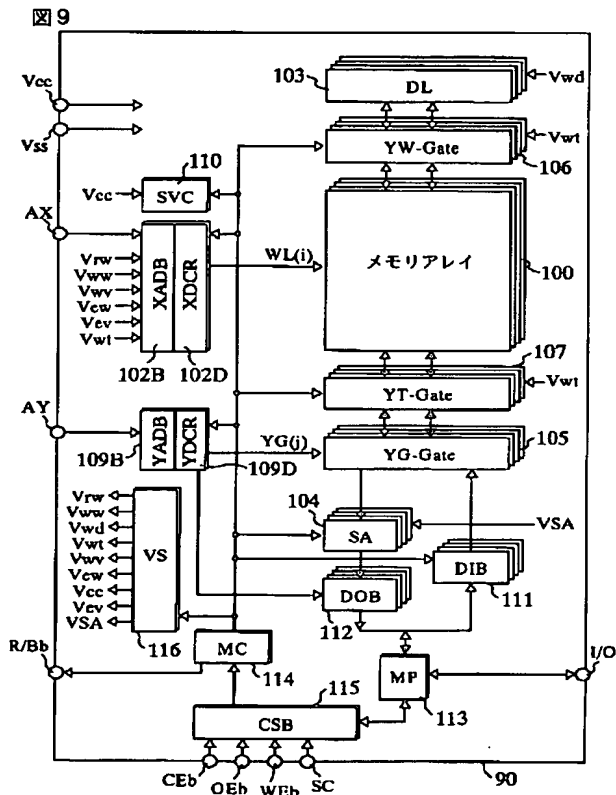
【図 5】



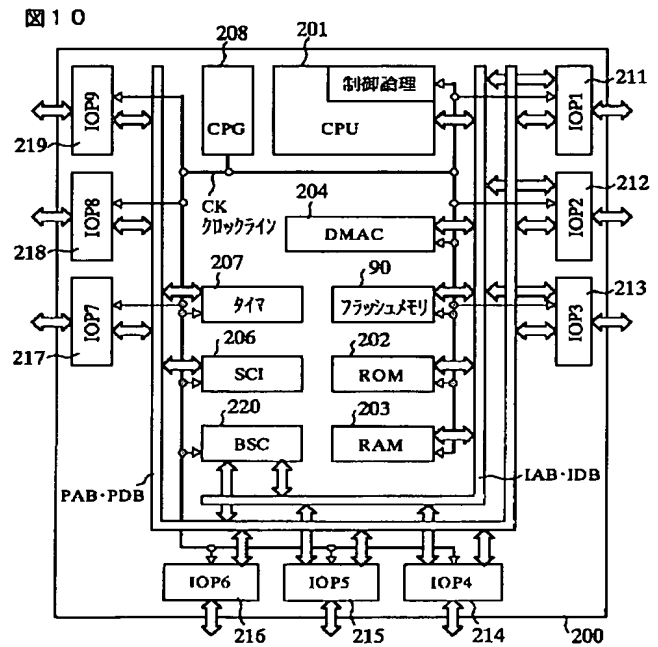
【図 8】



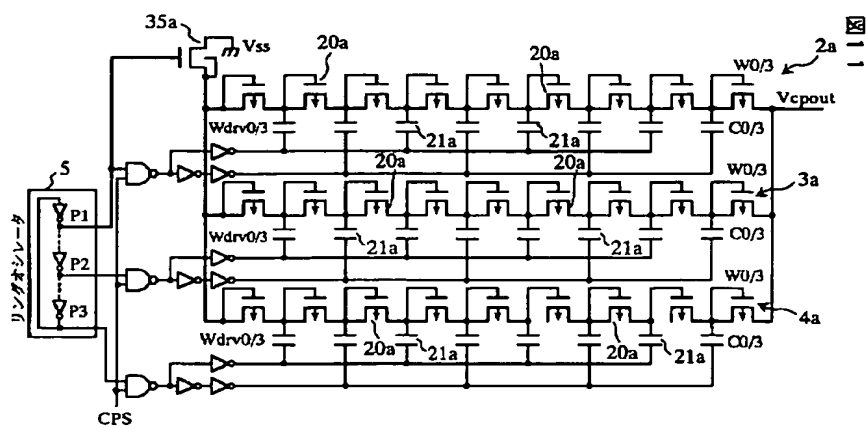
【図 9】



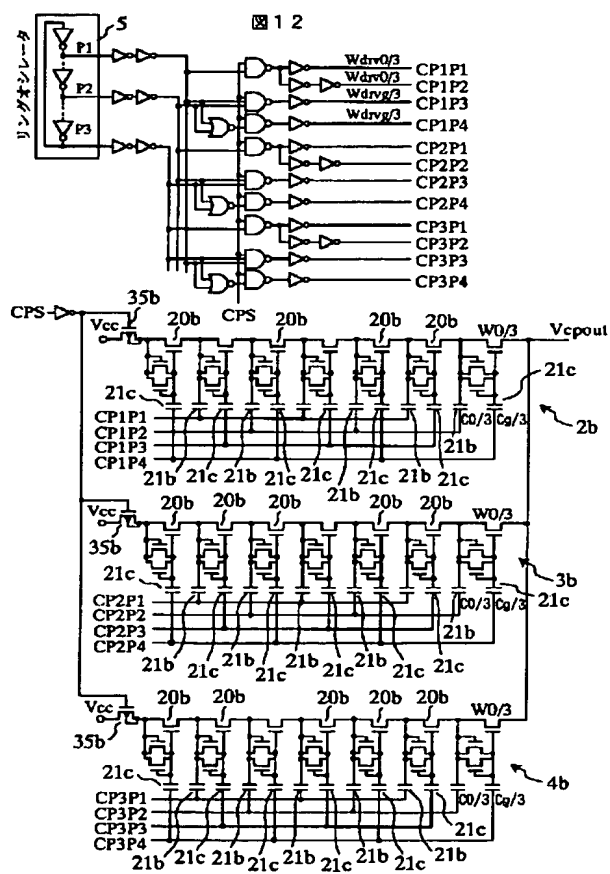
【図 10】



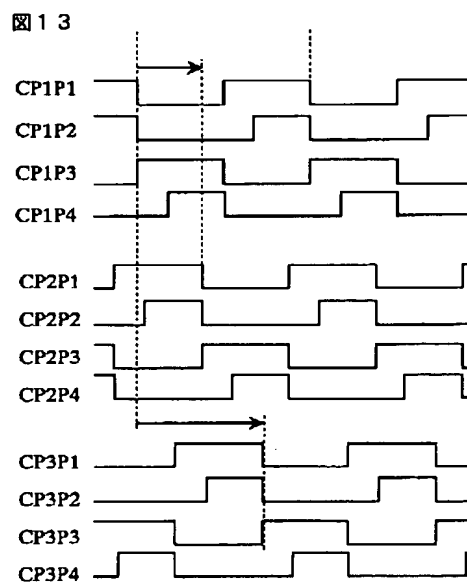
【図 11】



【図 12】



【図 13】



フロントページの続き

(72)発明者 品川 裕
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内
(72)発明者 鈴木 一文
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72)発明者 藤戸 正道
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内
(72)発明者 河合 洋造
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

Fターム(参考) 5B025 AA00 AB00 AC00 AD02 AD03
AD10 AD15 AE08
5H430 BB01 BB05 BB09 BB11 BB20
EE06 EE09 EE12 EE17 EE18
EE19 FF03 FF13 GG08 HH03
JJ07